

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-307224
(43)Date of publication of application : 22.11.1996

(51)Int.CI. /
H03K 17/16
H03F 3/30
H03F 3/34
H03F 3/42
H03F 3/45
H03K 17/687
H03K 19/0948

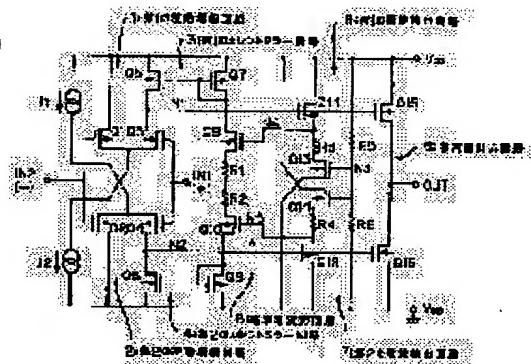
(21)Application number : 07-134827 (71)Applicant : YAMAHA CORP
(22)Date of filing : 08.05.1995 (72)Inventor : NORO MASAO

(54) OPERATIONAL AMPLIFIER CIRCUITS

(57)Abstract:

PURPOSE: To provide an operational amplifier circuit in which an output stage is in push-pull operation and a stability function of an output stage current is provided.

CONSTITUTION: A 1st differential amplifier circuit 1 having n-channel differential MOS TR pairs Q1, Q3 and a 2nd differential amplifier circuit 2 having p-channel differential MOS TR pairs Q2, Q4 are provided to an input stage. A complementary output circuit 5 is configured by a p-channel MOS TR Q15 and an n-channel MOS TR Q16 whose gates are controlled by an output of the circuits 1, 2. A current of the output stage MOS TRs Q15, Q16 is detected respectively by 1st and 2nd current detection circuits 6, 7. A reference current source circuit 8 providing a common reference current to current mirror circuits 3, 4 providing an active load current of the differential amplifier circuits 1, 2 is controlled by the detected current to apply negative feedback to suppress fluctuation in a through-current of the complementary output circuit 5.



LEGAL STATUS

[Date of request for examination] 09.04.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2877033

[Date of registration] 22.01.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

* NOTICES *

- 5 Japan Patent Office is not responsible for any damages caused by the use
of this translation.
1. This document has been translated by computer. So the translation may
not reflect the original precisely.
2. **** shows the word which can not be translated.
- 10 3. In the drawings, any words are not translated.

CLAIMS

15 -----

[Claim(s)]

[Claim 1] The operation amplifying circuit characterized by providing the
following. The 1st input-stage differential-amplifier circuit which has an
active load by the 1st current Miller circuit of the differential MOS
20 transistor pair of an n channel, and a p channel. The 2nd input-stage
differential-amplifier circuit by which parallel connection was carried out
to the differential MOS transistor pair of a p channel, and the input-stage
differential-amplifier circuit of the above 1st which has an active load by
the 2nd current Miller circuit of an n channel. The complementary-type
25 output circuit which has the output-stage MOS transistor of the n channel
by which the gate was controlled by the output of the input-stage
differential-amplifier circuit of the above 1st, the gate was controlled by
the output-stage MOS transistor of the p channel by which the drain was
connected to the signal outgoing end, and the output of the input-stage

differential-amplifier circuit of the above 2nd, and the drain was connected to the aforementioned signal outgoing end. The 1st current detector which acquires the detection current which is proportional to the current of the output-stage MOS transistor of the aforementioned p channel using the
5 MOS transistor for current detection of the p channel to which the same bias between the gate sources as the output-stage MOS transistor of the aforementioned p channel is given, The 2nd current detector which acquires the detection current which is proportional to the current of the output-stage MOS transistor of the aforementioned n channel using the
10 MOS transistor for current detection of the n channel to which the same bias between the gate sources as the output-stage MOS transistor of the aforementioned n channel is given, The source circuit of reference current which has the current-source MOS transistor controlled by the output of the above 1st and the 2nd current detector, respectively, and obtains the
15 reference current which is proportional to the sum of the above 1st and the detection current by the 2nd current detector as common reference current of the above 1st and the 2nd current Miller circuit.

[Claim 2] The channel width of the MOS transistor for current detection of the aforementioned p channel and the ratio of channel length the current detector of the above 1st $1/N$ of the channel width of the output-stage MOS transistor of the aforementioned p channel, and the ratio of channel length It is what is set as ($N > 1$ [however,]) and acquires the detection current of $1/N$ of the collector current of the output-stage MOS transistor of the aforementioned p channel. the current detector of the
20 above 2nd The channel width of the MOS transistor for current detection of the aforementioned n channel and the ratio of channel length are set as $1/N$ of the channel width of the output-stage MOS transistor of the aforementioned n channel, and the ratio of channel length. The operation
25 amplifying circuit according to claim 1 characterized by being what

acquires the detection current of $1/N$ of the collector current of the output-stage MOS transistor of the aforementioned n channel.

5 DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to an operation amplifying circuit with the complementary-type output circuit which performs push pull operation by the output-stage MOS transistor of a p channel, and the output-stage MOS transistor of an n channel.

[0002]

[Description of the Prior Art] As the operation amplifying circuit by the CMOS process is shown in drawing 3 in many cases, a CMOS differential circuit is used for an input stage, and let an output stage be a single end type with a constant-current load. This kind of operation amplifying circuit has a problem in drive capacity, when the load connected with an outgoing end is a low-impedance load. It is because supply current is restricted by the constant-current load. In order to give sufficient drive capacity over a low-impedance load, it is necessary to make the impedance of a constant-current load sufficiently small, to enable it to supply a high current and to also make [of current capacity] an output-stage MOS transistor sufficiently large in connection with it.

[0003] On the other hand, it can consider it to prepare the circuit which made the p channel and the n channel reverse, to arrange to power supply VDD and Grounding VSS side, as shown in drawing 4 , and to consider as a complementary circuit to be the operation amplifying-circuit composition of drawing 3 as an operation amplifying circuit advantageous to the drive

of a low-impedance load. The load drive by push pull operation of such a circuit then the p channel MOS transistor of an output stage, and an n channel MOS transistor is attained.

[0004]

5 [Problem(s) to be Solved by the Invention] However, as shown in drawing 4 , in the complementary circuit which only combined two single end type operation amplifying circuits, it does not have the function which stabilizes the current of the p channel MOS transistor of an output stage, and an n channel MOS transistor. It is because there is no feedback function which
10 output potential does not change even if penetration current increases, but suppresses increase of penetration current under the bias conditions on which a p channel MOS transistor and an n channel MOS transistor turn on simultaneously, and penetration current flows. Therefore, the problem of penetration current increasing and resulting in destruction arises. On
15 the contrary, when the current of an output-stage MOS transistor decreases simultaneously, an output stage will cut off.

[0005] This invention aims at offering the operation amplifying circuit which was made in consideration of the above-mentioned situation, and was made to carry out push pull operation of the output stage, and gave
20 the stabilization function of output-stage current.

[0006]

[Means for Solving the Problem] The 1st input-stage differential-amplifier circuit which has an active load according [the operation amplifying circuit concerning this invention] to the 1st current Miller circuit of the
25 differential MOS transistor pair of an n channel, and a p channel, The 2nd input-stage differential-amplifier circuit by which parallel connection was carried out to the differential MOS transistor pair of a p channel, and the input-stage differential-amplifier circuit of the above 1st which has an active load by the 2nd current Miller circuit of an n channel, The gate is

controlled by the output of the input-stage differential-amplifier circuit of the above 1st, and the gate is controlled by the output-stage MOS transistor of the p channel by which the drain was connected to the signal outgoing end, and the output of the input-stage differential-amplifier 5 circuit of the above 2nd. The complementary-type output circuit which has the output-stage MOS transistor of the n channel by which the drain was connected to the aforementioned signal outgoing end, The 1st current detector which acquires the detection current which is proportional to the current of the output-stage MOS transistor of the aforementioned p 10 channel using the MOS transistor for current detection of the p channel to which the same bias between the gate sources as the output-stage MOS transistor of the aforementioned p channel is given, The 2nd current detector which acquires the detection current which is proportional to the current of the output-stage MOS transistor of the aforementioned n 15 channel using the MOS transistor for current detection of the n channel to which the same bias between the gate sources as the output-stage MOS transistor of the aforementioned n channel is given, It has the current-source MOS transistor controlled by the output of the above 1st and the 2nd current detector, respectively. It is characterized by having 20 the source circuit of reference current which obtains the reference current proportional to the sum of the above 1st and the detection current by the 2nd current detector as common reference current of the above 1st and the 2nd current Miller circuit.

[0007] In this invention preferably the current detector of the above 1st 25 The channel width of the MOS transistor for current detection of the aforementioned p channel and the ratio of channel length $1/N$ of the channel width of the output-stage MOS transistor of the aforementioned p channel, and the ratio of channel length It is what is set as. ($N > 1$ [however,]) and acquires the detection current of $1/N$ of the collector

current of the output-stage MOS transistor of the aforementioned p channel. the current detector of the above 2nd The channel width of the MOS transistor for current detection of the aforementioned n channel and the ratio of channel length are set as 1-/N of the channel width of the 5 output-stage MOS transistor of the aforementioned n channel, and the ratio of channel length. It is characterized by being what acquires the detection current of 1-/N of the collector current of the output-stage MOS transistor of the aforementioned n channel.

[0008]

10 [Function] The operation amplifying circuit by this invention also makes the output stage the complementary circuit by the p-channel output-stage MOS transistor and the n channel output-stage MOS transistor at the same time it makes a signal input stage a complementary circuit by the 1st and 2nd input-stage differential-amplifier circuit. Moreover, the active 15 load by the 1st and 2nd current Miller circuit is prepared in the 1st and 2nd input-stage differential-amplifier circuit, respectively. And in order to attain current stabilization of an output stage, the 1st and 2nd current detector which detects the current of the p channel MOS transistor of an output stage and an n channel MOS transistor is prepared, and a source 20 circuit of reference current where the reference current proportional to the sum of those detection current is obtained is constituted as a source circuit of common reference current of the 1st and 2nd current Miller circuit.

25 [0009] By this, by the operation amplifying circuit of this invention, if it is going to change the penetration current of an output stage If it is the direction where the common reference current of the 1st and 2nd current Miller circuit is controlled, for example, penetration current increases In the 1st and 2nd input-stage differential-amplifier circuit, reference current acts in the direction which each active load turns on more deeply,

and bias of the gate is carried out in the direction which turns off an output-stage p channel MOS transistor and an n channel MOS transistor by this. That is, the feedback which suppresses increase of output-stage penetration current starts, the output current is stabilized, and
5 destruction by overrun etc. is prevented certainly. Since the reverse feedback by above-mentioned current detection and above-mentioned reference current control does not start to the difference of the output current, it is uninfluential to the amplification factor as an operation amplifying circuit.

10 [0010]

[Example] Hereafter, the example of this invention is explained with reference to a drawing. Drawing 1 is an operation amplifying circuit concerning one example of this invention. The differential MOS transistor pair Q1 of the n channel from which a constant current source I2 is formed in a common source, and each gate serves as an inversed input terminal IN2 and the noninverting input terminal IN1 at an input stage, and
15 1st [using Q3] differential-amplifier circuit 1, A constant current source I1 is similarly formed in a common source, parallel connection of the differential MOS transistor pair Q2 of the p channel from which each gate serves as an inversed input terminal IN2 and the noninverting input terminal IN1, and 2nd [using Q4] differential-amplifier circuit 2 is carried
20 out, and it is arranged.

[0011] MOS transistor Q5 of 1st current Miller circuit 3 constituted by the p channel MOS transistors Q7 and Q5 is inserted in the drain side of MOS transistor Q3 used as the outgoing end N1 of the 1st differential-amplifier circuit 1 as an active load. Similarly, MOS transistor Q6 of 2nd current Miller circuit 4 constituted by the n channel MOS transistors Q8 and Q6 is inserted in the drain side of MOS transistor Q4 used as the outgoing end N2 of the 2nd differential-amplifier circuit 2 as an active load.

[0012] Output-stage MOS transistor Q15 of the p channel by which the gate is controlled by the outgoing end N1 of the 1st differential-amplifier circuit 1, and output-stage MOS transistor Q16 of the n channel by which the gate is controlled by the outgoing end N2 of the 2nd
5 differential-amplifier circuit 2 are arranged at power supply VDD and Grounding VSS side, respectively, a drain is connected to the signal outgoing end OUT in common, and the complementary-type output circuit 5 is constituted.

[0013] The common source circuit 8 of reference current is established in
10 the 1st and 2nd current Miller circuit 3 and 4. This source circuit 8 of reference current consists of an n channel MOS transistor Q9 by the side of 1st current Miller circuit 3 by which the degree of flow is controlled according to the amount of current of output-stage MOS transistor Q15 of a p channel, a p channel MOS transistor Q10 by the side of 2nd current
15 Miller circuit 4 by which the degree of flow is controlled according to the amount of current of output-stage MOS transistor Q16 of an n channel, and resistance R1 and R2 inserted in these in series.

[0014] In order to perform each current detection of output-stage MOS transistors Q15 and Q16 of the complementary-type output circuit 5, the
20 1st and 2nd current detector 6 and 7 is formed. The gate drives in common with output-stage MOS transistor Q15, the source is connected to a power supply VDD, and the 1st current detector 6 has MOS transistor Q11 for current detection of the p channel to which the same bias between the gate sources as MOS transistor Q15 is given. The 2nd current
25 detector 7 has similarly MOS transistor Q12 for current detection of the n channel to which the same bias between the gate sources as output-stage MOS transistor Q16 is given.

[0015] An element size is set up so that the channel width W11 of MOS transistor Q11 for current detection and the ratio of channel length L11

may fill the one following to the channel width W15 of output-stage MOS transistor Q15, and the ratio of channel length L15. However, N is taken as a larger number than 1.

[0016]

- 5 [Equation 1] $W_{11}/L_{11} = (W_{15}/L_{15})/N$ [0017] Similarly, an element size is set up so that the channel width W12 of MOS transistor Q12 for current detection and the ratio of channel length L12 may fill the two following to the channel width W16 of output-stage MOS transistor Q16, and the ratio of channel length L16.

10 [0018]

- [Equation 2] $W_{12}/L_{12} = (W_{16}/L_{16})/N$ [0019] The drain of one MOS transistor Q11 for current detection is connected to Grounding VSS through the p channel MOS transistor Q13 through the resistance R3 used as a load. The drain of MOS transistor Q12 for current detection of another side is similarly connected to a power supply VDD through the n channel MOS transistor Q14 through resistance R4. The gate of these MOS transistors Q13 and Q14 is controlled by potential of the middle potential point N3 by the resistance R5 and R6 which pressures partially during the power supply VDD-grounding VSS.

- 15 20 [0020] The above resistance R3, the portion of MOS transistor Q13, and the portions of resistance R4 and MOS transistor Q14 serve as a current-potential conversion circuit which changes the detection current by MOS transistors Q11 and Q12 for current detection into a voltage value, respectively, and each output node N4 and N5 is connected to the gate of 25 MOS transistors Q9 and Q10 in the source circuit 8 of common reference current of current Miller circuits 3 and 4.

[0021] Thus, operation of output current stabilization of the constituted operation amplifying circuit is explained below. The collector current of the p channel MOS transistor Q15 of the complementary-type output

circuit 5 and the n channel MOS transistor Q16 is detected by the 1st and 2nd current detector 6 and 7, respectively. Since the channel width of MOS transistors Q11 and Q12 for current detection and the ratio of channel length are set as $1/N$ as mentioned above to it of output-stage

5 MOS transistors Q15 and Q16, respectively, current detection is performed with the detection current of $1/N$ of the collector current of output-stage MOS transistors Q15 and Q16.

[0022] Adjustable control of the reference current by the source circuit 8 of reference current is carried out so that it may be proportional to the

10 sum of the detection current by the these 1st [the] and 2nd current detector 6 and 7, and this is given by the 1st and 2nd current Miller circuit 3 and 4 as the active load current of the 1st and 2nd differential-amplifier circuit 1 and 2, respectively. If it follows, for example, the penetration current in the complementary-type output circuit 4 increases,

15 corresponding to this, potential will rise and the direction N1 where the current of active load MOS transistors Q5 and Q6 increases, i.e., one outgoing end, will commit the outgoing end N2 of another side in the direction which carries out a potential fall in the 1st and 2nd differential-amplifier circuit 1 and 2. Thereby, bias of the gate is carried 20 out in the direction which both output-stage MOS transistors Q15 and Q16 turn off, and the negative feedback of the direction which reduces penetration current becomes this thing.

[0023] The above negative feedback operation is explained more concretely. The next assumption is set in order to simplify explanation. It 25 shall be first referred to as $R_5=R_6$, and $VDD/2$ shall be obtained by the node N3. Moreover, it is referred to as $R_1=R_2=R_3=R_4$, and the p channel MOS transistors Q10 and Q13 make the same size the same size and the n channel MOS transistors Q9 and Q14. The constant current sources I_2 and I_1 of the 1st and 2nd differential-amplifier circuit 1 and 2 are set to $I_1=I_2$.

- [0024] If the relation of the voltage current of the important section of the 1st and 2nd current detector 6 and 7 and the source circuit 8 of reference current is shown, it will become like drawing 2 . When the detection current by the 1st and 2nd current detector 6 and 7 sets to I11 and I12 like illustration, it is [ends / of resistance R3] voltage VT 14 between voltage VR 4 and the gate source of MOS transistor Q14 to the ends of resistance R4 in voltage VT 13 and this appearance between voltage VR 3 and the gate source of MOS transistor Q13 by these current. It generates.
- 5 [0025] Therefore, voltage with the three following is built between the gates of MOS transistors Q9 and Q10 of the source circuit 8 of reference current.
- [0026]
- [Equation 3] $VR3+VT13+VT14+VR4$ [0027] Moreover, in VT9 and the voltage between the gate sources of MOS transistor Q10, if voltage between the gate sources of MOS transistor Q9 of the source circuit 8 of reference current is set to VR1 and VR2, respectively, the following several 4 will be obtained [voltage / voltage / ends / VT10 and / of resistance R1 and R2] by several 3 relation.
- 10 [0028]
- [Equation 4] $VT9+VR1+VR2+VT10 =VR3+VT13+VT14+VR4$ [0029] From the relation of an element size explained previously, since it is $VT13 =VT10$ and $VT14 =VT9$, several four is rewritten by the following several 5.
- [0030]
- 15 [Equation 5] $VR1+VR2=VR3+VR4$ [0031] Moreover, if the current of MOS transistors Q9 and Q10 of the source circuit 8 of reference current is set to I9 and I10, a relation with the six following will be obtained from several 5.
- [0032]

[Equation 6]

R1, I9+R2, I10=R3 and I11+R4, and I12 [0033] By the way, since current I9 and I10 do not have a fork road in others, if they are I9 =I10 and set to R1=R2=R3=R4 as mentioned above, the following several 7 will be obtained

5 from several 6.

[0034]

[Equation 7] I9 =I10= $(I10+I12)/2$ [0035] By the above, common reference current I9 =I10 of the 1st and 2nd current Miller circuit 3 and 4 become a value proportional to the sum of the detection current I11 and I12 by the

10 1st and 2nd current detector 6 and 7. Since detection current I11 and I12 is proportional to the collector current of output-stage MOS transistors Q15 and Q16, if it is put in another way, respectively, common reference current I9 =I10 will become a thing proportional to the penetration current of an output stage.

15 [0036] Thus, when [both] penetration current increases, it works in the direction which MOS transistors Q5 and Q6 of the 1st and 2nd differential-amplifier circuit 1 and 2 turn on deeply, and since the reference current controlled according to the penetration current of the complementary-type output circuit 5 is given as the active load current of 20 the 1st and 2nd differential-amplifier circuit 1 and 2, a reverse feedback starts so that the penetration current of the complementary-type output circuit 5 may be suppressed. Since the 1st and 2nd differential-amplifier circuit 1 and 2 is set up so that fixed current may flow by constant current sources I2 and I1, respectively, the penetration current of the 25 complementary-type output circuit 5 will be controlled so that the fixed active load current flows to these after all.

[0037] For example, detection current is I11=I12 supposing the output potential of this operation amplifying circuit is in the simultaneously middle potential of a power supply VDD. Moreover, by current Miller

circuits 3 and 4, since the current IQ5 and IQ6 of the active load transistors Q5 and Q6 of the 1st and 2nd differential-amplifier circuit 1 and 2 is IQ5=I9 and IQ6=I10 and is I9 =I10, the current IQ3 and IQ4 of the transistors Q3 and Q4 of a differential transistor pair which are one side, 5 respectively becomes the eight following, respectively.

[0038]

[Equation 8] $IQ3=I11=I12=IQ4$ [0039] namely, the state where detection current I11 and I12 is equal to the current IQ3 and IQ4 of the differential-amplifier circuits 1 and 2 of the first rank -- in other words, 10 the current of output-stage MOS transistors Q15 and Q16 will be stabilized by one N times these values of this [0040] Since the 1st and 2nd current detectors 6 and 7 and source circuit 8 of reference voltage do not have a non-returned operation about the difference component of the current of MOS transistors Q15 and Q16 of 15 the complementary-type output circuit 5, influence does not have them in the amplification factor to a difference input signal, so that easily clearly from the above explanation. For example, if the potential of one input edge IN1 rises to the input edge IN2 of another side In the 1st differential-amplifier circuit 1, an outgoing end N1 acts in the direction 20 which carries out a potential fall and turns ON output-stage MOS transistor Q15. In the 2nd differential-amplifier circuit 2, as a result of an outgoing end's N's2 acting in the direction which carries out a potential fall and turns OFF output MOS transistor Q16, the differential amplifier of output-stage push pull operation that the potential of the signal outgoing 25 end OUT rises is performed.

[0041]

[Effect of the Invention] The stabilization function of output-stage current can be given about the operation amplifying circuit of push pull operation by performing feedback which was described above and which according to

[like] this invention performs current detection of an output stage by making an output stage into a complementary circuit, and suppresses change of the penetration current of an output stage in the differential-amplifier circuit of the first rank.

5

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

10 [Drawing 1] The operation amplifying circuit concerning one example of this invention is shown.

[Drawing 2] It is drawing for explaining operation of current control of this example.

[Drawing 3] The conventional operation amplifying circuit is shown.

15 [Drawing 4] The operation amplifying circuit which put the circuit of drawing 3 side by side is shown.

[Description of Notations]

1 [-- The 1st current Miller circuit, 4 / -- The 2nd current Miller circuit,
5 / -- A complementary-type output circuit, 6 / -- The 1st current
20 detector, 7 / -- The 2nd current detector, 8 / -- Source circuit of
reference current.] -- The 1st input-stage differential-amplifier circuit, 2
-- The 1st input-stage differential-amplifier circuit, 3

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-307224

(43)公開日 平成8年(1996)11月22日

(51) Int. Cl.	識別記号	府内整理番号	F I	技術表示箇所
H03K 17/16		9184-5K	H03K 17/16	L
H03F 3/30			H03F 3/30	
3/34			3/34	Z
3/42			3/42	
3/45			3/45	Z

審査請求 未請求 請求項の数2 FD (全6頁) 最終頁に続く

(21)出願番号 特願平7-134827

(22)出願日 平成7年(1995)5月8日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 野呂 正夫

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

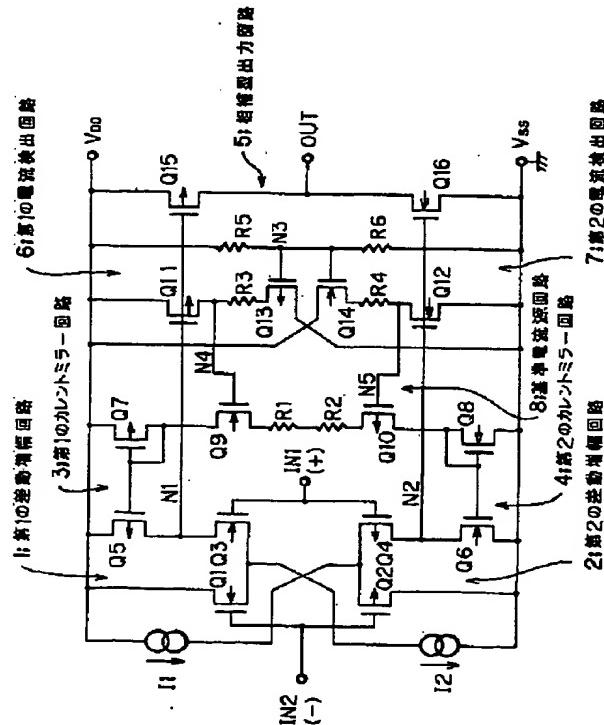
(74)代理人 弁理士 伊丹 勝

(54)【発明の名称】演算増幅回路

(57)【要約】

【目的】出力段をブッシュブル動作させ、且つ出力段電流の安定化機能を持たせた演算増幅回路を提供する。

【構成】入力段にnチャネルの差動MOSトランジスタ対Q1, Q3を有する第1の差動増幅回路1と、pチャネルの差動MOSトランジスタ対Q2, Q4を有する第2の差動増幅回路2が併設される。これらの出力によりゲートが制御されるpチャネルMOSトランジスタQ15とnチャネルMOSトランジスタQ16により相補型出力回路5が構成される。第1, 第2の電流検出回路6, 7によりそれぞれ出力段MOSトランジスタQ1, Q16の電流検出がなされる。これらの検出電流により、差動増幅回路1, 2の能動負荷電流を与えるカレントミラー回路3, 4の共通の基準電流となる基準電流源回路8が制御されて、相補型出力回路5の貫通電流の変動を抑制する負帰還がかかるようにしている。



【特許請求の範囲】

【請求項 1】 n チャネルの差動MOSトランジスタ対と p チャネルの第 1 のカレントミラー回路による能動負荷を有する第 1 の入力段差動增幅回路と、

p チャネルの差動MOSトランジスタ対と n チャネルの第 2 のカレントミラー回路による能動負荷を有する、前記第 1 の入力段差動增幅回路と並列接続された第 2 の入力段差動增幅回路と、

前記第 1 の入力段差動增幅回路の出力によりゲートが制御され、ドレンが信号出力端に接続された p チャネルの出力段MOSトランジスタ及び前記第 2 の入力段差動增幅回路の出力によりゲートが制御され、ドレンが前記信号出力端に接続された n チャネルの出力段MOSトランジスタを有する相補型出力回路と、

前記 p チャネルの出力段MOSトランジスタと同じゲート・ソース間バイアスが与えられる p チャネルの電流検出用MOSトランジスタを用いて前記 p チャネルの出力段MOSトランジスタの電流に比例する検出電流を得る第 1 の電流検出回路と、

前記 n チャネルの出力段MOSトランジスタと同じゲート・ソース間バイアスが与えられる n チャネルの電流検出用MOSトランジスタを用いて前記 n チャネルの出力段MOSトランジスタの電流に比例する検出電流を得る第 2 の電流検出回路と、

前記第 1 , 第 2 の電流検出回路の出力によりそれぞれ制御される電流源MOSトランジスタを有し、前記第 1 , 第 2 のカレントミラー回路の共通基準電流として前記第 1 , 第 2 の電流検出回路による検出電流の和に比例する基準電流を得る基準電流源回路とを有することを特徴とする演算增幅回路。

【請求項 2】 前記第 1 の電流検出回路は、前記 p チャネルの電流検出用MOSトランジスタのチャネル幅とチャネル長の比が前記 p チャネルの出力段MOSトランジスタのチャネル幅とチャネル長の比の $1/N$ (但し、 $N > 1$) に設定されて、前記 p チャネルの出力段MOSトランジスタのコレクタ電流の $1/N$ の検出電流を得るものであり、

前記第 2 の電流検出回路は、前記 n チャネルの電流検出用MOSトランジスタのチャネル幅とチャネル長の比が前記 n チャネルの出力段MOSトランジスタのチャネル幅とチャネル長の比の $1/N$ に設定されて、前記 n チャネルの出力段MOSトランジスタのコレクタ電流の $1/N$ の検出電流を得ることを特徴とする請求項 1 記載の演算增幅回路。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 この発明は、 p チャネルの出力段MOSトランジスタと n チャネルの出力段MOSトランジスタによるブッシュブル動作を行う相補型出力回路を持つ演算增幅回路に関する。

【 0 0 0 2 】

【従来の技術】 CMOSプロセスによる演算增幅回路は、多くの場合、図 3 に示すように、入力段には CMOS 差動回路が用いられ、出力段は定電流負荷を持つシングルエンド型とされる。この種の演算增幅回路は、出力端につながる負荷が低インピーダンス負荷である場合、ドライブ能力に問題がある。定電流負荷により供給電流が制限されるからである。低インピーダンス負荷に対する十分なドライブ能力を持たせるためには、定電流負荷のインピーダンスを十分小さくして大電流を供給できるようにする必要があり、それに伴って出力段MOSトランジスタも電流容量の十分大きいものとすることが必要になる。

【 0 0 0 3 】 これに対して、低インピーダンス負荷のドライブに有利な演算增幅回路として、図 3 の演算增幅回路構成とは p チャネル、 n チャネルを逆にした回路を用意して、図 4 に示すように電源 VDD 側と接地 VSS 側に配置して相補型回路とすることが考えられる。この様な回路とすれば、出力段の p チャネルMOSトランジスタと n チャネルMOSトランジスタのブッシュブル動作による負荷ドライブが可能になる。

【 0 0 0 4 】

【発明が解決しようとする課題】 しかし、図 4 に示すように単に二つのシングルエンド型演算增幅回路を組み合わせただけの相補型回路では、出力段の p チャネルMOSトランジスタと n チャネルMOSトランジスタの電流を安定化する機能を持たない。なぜなら、 p チャネルMOSトランジスタと n チャネルMOSトランジスタが同時にオンして貫通電流が流れるバイアス条件の下で、貫通電流が増大しても出力電位は変わらず、貫通電流の増大を抑制するフィードバック機能がないからである。従って、貫通電流が増大して破壊に至るといった問題が生じる。逆に、出力段MOSトランジスタの電流が同時に減少した場合には、出力段がカットオフしてしまう。

【 0 0 0 5 】 この発明は、上記事情を考慮してなされたもので、出力段をブッシュブル動作させ、且つ出力段電流の安定化機能を持たせた演算增幅回路を提供することを目的としている。

【 0 0 0 6 】

【課題を解決するための手段】 この発明に係る演算增幅回路は、 n チャネルの差動MOSトランジスタ対と p チャネルの第 1 のカレントミラー回路による能動負荷を有する第 1 の入力段差動增幅回路と、 p チャネルの差動MOSトランジスタ対と n チャネルの第 2 のカレントミラー回路による能動負荷を有する、前記第 1 の入力段差動增幅回路と並列接続された第 2 の入力段差動增幅回路と、前記第 1 の入力段差動增幅回路の出力によりゲートが制御され、ドレンが信号出力端に接続された p チャネルの出力段MOSトランジスタ及び前記第 2 の入力段差動增幅回路の出力によりゲートが制御され、ドレン

が前記信号出力端に接続されたnチャネルの出力段MOSトランジスタを有する相補型出力回路と、前記pチャネルの出力段MOSトランジスタと同じゲート・ソース間バイアスが与えられるpチャネルの電流検出用MOSトランジスタを用いて前記pチャネルの出力段MOSトランジスタの電流に比例する検出電流を得る第1の電流検出回路と、前記pチャネルの出力段MOSトランジスタと同じゲート・ソース間バイアスが与えられるnチャネルの電流検出用MOSトランジスタを用いて前記nチャネルの出力段MOSトランジスタの電流に比例する検出電流を得る第2の電流検出回路と、前記第1、第2の電流検出回路の出力によりそれぞれ制御される電流源MOSトランジスタを有し、前記第1、第2のカレントミラー回路の共通基準電流として前記第1、第2の電流検出回路による検出電流の和に比例する基準電流を得る基準電流源回路とを有することを特徴としている。

【0007】この発明において好ましくは、前記第1の電流検出回路は、前記pチャネルの電流検出用MOSトランジスタのチャネル幅とチャネル長の比が前記pチャネルの出力段MOSトランジスタのチャネル幅とチャネル長の比の $1/N$ （但し、 $N > 1$ ）に設定されて、前記pチャネルの出力段MOSトランジスタのコレクタ電流の $1/N$ の検出電流を得るものであり、前記第2の電流検出回路は、前記nチャネルの電流検出用MOSトランジスタのチャネル幅とチャネル長の比が前記nチャネルの出力段MOSトランジスタのチャネル幅とチャネル長の比の $1/N$ に設定されて、前記nチャネルの出力段MOSトランジスタのコレクタ電流の $1/N$ の検出電流を得ることを特徴としている。

【0008】

【作用】この発明による演算增幅回路は、第1、第2の入力段差動增幅回路により信号入力段を相補型回路にすると同時に、出力段もpチャネル出力段MOSトランジスタとnチャネル出力段MOSトランジスタによる相補型回路としている。また第1、第2の入力段差動增幅回路には、それぞれ第1、第2のカレントミラー回路による能動負荷を設ける。そして、出力段の電流安定化を図るために、出力段のpチャネルMOSトランジスタとnチャネルMOSトランジスタの電流を検出する第1、第2の電流検出回路を設け、それらの検出電流の和に比例する基準電流が得られるような基準電流源回路を、第1、第2のカレントミラー回路の共通基準電流源回路として構成する。

【0009】これにより、この発明の演算增幅回路では、出力段の貫通電流が変動しようとすると、第1、第2のカレントミラー回路の共通基準電流が制御され、例え貫通電流が増大する方向であれば、第1、第2の入力段差動增幅回路ではそれぞれの能動負荷がより深くオンする方向に基準電流が作用し、これにより出力段pチャネルMOSトランジスタ及びnチャネルMOSトラン

ジスタ共にオフする方向にゲートがバイアスされる。即ち、出力段貫通電流の増大を抑制するフィードバックが係り、出力電流が安定化されて、暴走等による破壊が確実に防止される。出力電流の差分に対しては、上述の電流検出と基準電流制御による負のフィードバックはかかるないから、演算增幅回路としての増幅率には影響はない。

【0010】

【実施例】以下、図面を参照して、この発明の実施例を説明する。図1は、この発明の一実施例に係る演算增幅回路である。入力段には、共通ソースに定電流源I2が設けられ、それぞれのゲートが反転入力端子IN2、非反転入力端子IN1となるnチャネルの差動MOSトランジスタ対Q1、Q3を用いた第1の差動增幅回路1と、同様に共通ソースに定電流源I1が設けられ、それぞれのゲートが反転入力端子IN2、非反転入力端子IN1となるpチャネルの差動MOSトランジスタ対Q2、Q4を用いた第2の差動增幅回路2とが並列接続されて配置されている。

【0011】第1の差動增幅回路1の出力端N1となるMOSトランジスタQ3のドレン側には、pチャネルMOSトランジスタQ7、Q5により構成された第1のカレントミラー回路3のMOSトランジスタQ5が能動負荷として挿入されている。同様に、第2の差動增幅回路2の出力端N2となるMOSトランジスタQ4のドレン側には、nチャネルMOSトランジスタQ8、Q6により構成された第2のカレントミラー回路4のMOSトランジスタQ6が能動負荷として挿入されている。

【0012】第1の差動增幅回路1の出力端N1によりゲートが制御されるpチャネルの出力段MOSトランジスタQ15と、第2の差動增幅回路2の出力端N2によりゲートが制御されるnチャネルの出力段MOSトランジスタQ16とがそれぞれ電源VDD側、接地VSS側に配置され、ドレンを共通に信号出力端OUTに接続して相補型出力回路5が構成されている。

【0013】第1、第2のカレントミラー回路3、4には共通の基準電流源回路8が設けられている。この基準電流源回路8は、pチャネルの出力段MOSトランジスタQ15の電流量に応じて導通度が制御される、第1のカレントミラー回路3側のnチャネルMOSトランジスタQ9と、nチャネルの出力段MOSトランジスタQ16の電流量に応じて導通度が制御される、第2のカレントミラー回路4側のpチャネルMOSトランジスタQ10と、これらに直列に挿入された抵抗R1、R2とから構成されている。

【0014】相補型出力回路5の出力段MOSトランジスタQ15、Q16のそれぞれの電流検出を行うために、第1、第2の電流検出回路6、7が設けられている。第1の電流検出回路6は、出力段MOSトランジスタQ15と共にゲートが駆動され、ソースが電源VDD

に接続されて、MOSトランジスタQ15と同じゲート・ソース間バイアスが与えられるpチャネルの電流検出用MOSトランジスタQ11を持つ。同様に第2の電流検出回路7は、出力段MOSトランジスタQ16と同じゲート・ソース間バイアスが与えられるnチャネルの電流検出用MOSトランジスタQ12を有する。

【0015】電流検出用MOSトランジスタQ11のチャネル幅W11とチャネル長L11の比は、出力段MOSトランジスタQ15のチャネル幅W15とチャネル長L15の比に対して、下記数1を満たすように、素子寸法が設定される。但し、Nは1より大きい数とする。

【0016】

$$【数1】 W_{11}/L_{11} = (W_{15}/L_{15}) / N$$

【0017】同様に、電流検出用MOSトランジスタQ12のチャネル幅W12とチャネル長L12の比は、出力段MOSトランジスタQ16のチャネル幅W16とチャネル長L16の比に対して、下記数2を満たすように、素子寸法が設定される。

【0018】

$$【数2】 W_{12}/L_{12} = (W_{16}/L_{16}) / N$$

【0019】一方の電流検出用MOSトランジスタQ1のドレインは、負荷となる抵抗R3を介し、pチャネルMOSトランジスタQ13を介して接地VSSに接続される。他方の電流検出用MOSトランジスタQ12のドレインも同様に、抵抗R4を介し、nチャネルMOSトランジスタQ14を介して電源VDDに接続される。これらのMOSトランジスタQ13、Q14のゲートは、電源VDD-接地VSS間に分圧する抵抗R5、R6による中間電位点N3の電位により制御される。

【0020】以上の抵抗R3とMOSトランジスタQ13の部分、及び抵抗R4とMOSトランジスタQ14の部分は、それぞれ電流検出用MOSトランジスタQ11、Q12による検出電流を電圧値に変換する電流電圧変換回路となっていて、それぞれの出力ノードN4、N5がカレントミラーレ路3、4の共通基準電流源回路8におけるMOSトランジスタQ9、Q10のゲートに接続される。

【0021】この様に構成された演算增幅回路の出力電流安定化の動作を次に説明する。相補型出力回路5のpチャネルMOSトランジスタQ15とnチャネルMOSトランジスタQ16のコレクタ電流は、それぞれ第1、第2の電流検出回路6、7により検出される。電流検出用MOSトランジスタQ11、Q12のチャネル幅とチャネル長の比がそれぞれ出力段MOSトランジスタQ15、Q16のそれに対して、前述のように、1/Nに設定されているから、出力段MOSトランジスタQ15、Q16のコレクタ電流の1/Nの検出電流で電流検出が行われる。

【0022】基準電流源回路8による基準電流は、これらの第1、第2の電流検出回路6、7による検出電流の

和に比例するように可変制御され、これが第1、第2のカレントミラーレ路3、4により、それぞれ第1、第2の差動增幅回路1、2の能動負荷電流として与えられる。従って、例えば相補型出力回路4での貫通電流が増大すると、これに対応して、第1、第2の差動增幅回路1、2では能動負荷MOSトランジスタQ5、Q6の電流が増大する方向、即ち、一方の出力端N1は電位が上昇し、他方の出力端N2は電位低下する方向に働く。これにより、出力段MOSトランジスタQ15、Q16は共に、オフする方向にゲートがバイアスされて、貫通電流を減らす方向の負帰還がかかることになる。

【0023】以上の負帰還動作をより具体的に説明する。説明を簡単にするため、次の仮定をおく。先ずR5=R6とし、ノードN3にはVDD/2が得られるものとする。また、R1=R2=R3=R4とし、pチャネルMOSトランジスタQ10とQ13とは同サイズ、nチャネルMOSトランジスタQ9とQ14は同サイズとする。第1、第2の差動增幅回路1、2の定電流源I2、I1は、I1=I2とする。

【0024】第1、第2の電流検出回路6、7と基準電流源回路8の要部の電圧電流の関係を示すと、図2のようになる。第1、第2の電流検出回路6、7による検出電流が、図示のようにI11、I12としたとき、これらの電流により、抵抗R3の両端に電圧VR3、MOSトランジスタQ13のゲート・ソース間に電圧VT13、同様に抵抗R4の両端に電圧VR4、MOSトランジスタQ14のゲート・ソース間に電圧VT14が発生する。

【0025】従って、基準電流源回路8のMOSトランジスタQ9とQ10のゲート間には、下記数3の電圧がかかる。

【0026】

$$【数3】 VR_3 + VT_{13} + VT_{14} + VR_4$$

【0027】また、基準電流源回路8のMOSトランジスタQ9のゲート・ソース間電圧をVT9、MOSトランジスタQ10のゲート・ソース間電圧をVT10、抵抗R1、R2の両端電圧をそれぞれ、VR1、VR2とすると、数3との関係で次の数4が得られる。

【0028】

$$【数4】 VT_9 + VR_1 + VR_2 + VT_{10} = VR_3 + VT_{13} + VT_{14} + VR_4$$

【0029】先に説明した素子寸法の関係から、VT13=VT10、VT14=VT9であるから、数4は、次の数5に書き換えられる。

【0030】

$$【数5】 VR_1 + VR_2 = VR_3 + VR_4$$

【0031】また、基準電流源回路8のMOSトランジスタQ9、Q10の電流をI9、I10とすると、数5から、下記数6の関係が得られる。

【0032】

【数6】

$R_1 + I_9 + R_2 + I_{10} = R_3 + I_{11} + R_4 + I_{12}$
 【0033】ところで、電流 I_9 , I_{10} は他に分岐路がないから、 $I_9 = I_{10}$ であり、また前述のように $R_1 = R_2 = R_3 = R_4$ とすると、数 6 から次の数 7 が得られる。

【0034】

【数 7】 $I_9 = I_{10} = (I_{10} + I_{12}) / 2$

【0035】以上により、第 1, 第 2 のカレントミラー回路 3, 4 の共通の基準電流 $I_9 = I_{10}$ は、第 1, 第 2 の電流検出回路 6, 7 による検出電流 I_{11} , I_{12} の和に比例した値になる。検出電流 I_{11} , I_{12} はそれぞれ、出力段 MOS トランジスタ Q_{15} , Q_{16} のコレクタ電流に比例したものであるから、言い換えれば、共通の基準電流 $I_9 = I_{10}$ は、出力段の貫通電流に比例したものとなる。

【0036】この様にして相補型出力回路 5 の貫通電流に応じて制御される基準電流が第 1, 第 2 の差動增幅回路 1, 2 の能動負荷電流として与えられるから、貫通電流が増大した場合には、第 1, 第 2 の差動增幅回路 1, 2 の MOS トランジスタ Q_5 , Q_6 が共に深くオンする方向に働き、相補型出力回路 5 の貫通電流を抑えるように負のフィードバックがかかる。第 1, 第 2 の差動增幅回路 1, 2 はそれぞれ定電流源 I_2 , I_1 により一定電流が流れるように設定されているから、結局これらに一定の能動負荷電流が流れるように、相補型出力回路 5 の貫通電流が制御されることになる。

【0037】例えば、この演算增幅回路の出力電位が電源 V_{DD} のほぼ中間電位にあるとすると、検出電流は $I_{11} = I_{12}$ である。また、第 1, 第 2 の差動增幅回路 1, 2 の能動負荷トランジスタ Q_5 , Q_6 の電流 I_{Q5} , I_{Q6} はそれぞれ、カレントミラー回路 3, 4 により、 $I_{Q5} = I_9$, $I_{Q6} = I_{10}$ であり、且つ $I_9 = I_{10}$ であるから、差動トランジスタ対のそれぞれ一方のトランジスタ Q_3 , Q_4 の電流 I_{Q3} , I_{Q4} は、下記数 8 となる。

【0038】

【数 8】 $I_{Q3} = I_{11} = I_{12} = I_{Q4}$

【0039】即ち、検出電流 I_{11} , I_{12} が初段の差動増

幅回路 1, 2 の電流 I_{Q3} , I_{Q4} と等しい状態、言い換えれば、出力段 MOS トランジスタ Q_{15} , Q_{16} の電流はこれらの N 倍の値で安定化されていることになる。

【0040】以上の説明から容易に明らかなように、第 1, 第 2 の電流検出回路 6, 7 及び基準電圧源回路 8 は、相補型出力回路 5 の MOS トランジスタ Q_{15} , Q_{16} の電流の差成分に関しては不帰還作用を有しないから、差動入力信号に対する増幅率に影響はない。例えば、一方の入力端 I_{N1} の電位が他方の入力端 I_{N2} に対して上昇すると、第 1 の差動增幅回路 1 では出力端 N_1 が電位低下して出力段 MOS トランジスタ Q_{15} をオフにする方向に作用し、第 2 の差動增幅回路 2 では出力端 N_2 が電位低下して出力 MOS トランジスタ Q_{16} をオフにする方向に作用する結果、信号出力端 OUT の電位が上昇するという、出力段プッシュプル動作の差動増幅が行われる。

【0041】

【発明の効果】以上述べたようにこの発明によれば、出力段を相補型回路として、出力段の電流検出を行い、初段の差動增幅回路に出力段の貫通電流の変動を抑制するような帰還を行うことにより、プッシュプル動作の演算增幅回路について出力段電流の安定化機能を持たせることができる。

【図面の簡単な説明】

【図 1】 この発明の一実施例に係る演算增幅回路を示す。

【図 2】 同実施例の電流制御の動作を説明する為の図である。

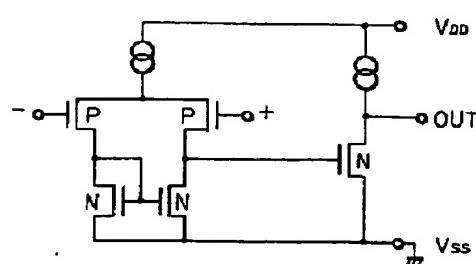
【図 3】 従来の演算增幅回路を示す。

【図 4】 図 3 の回路を併設した演算增幅回路を示す。

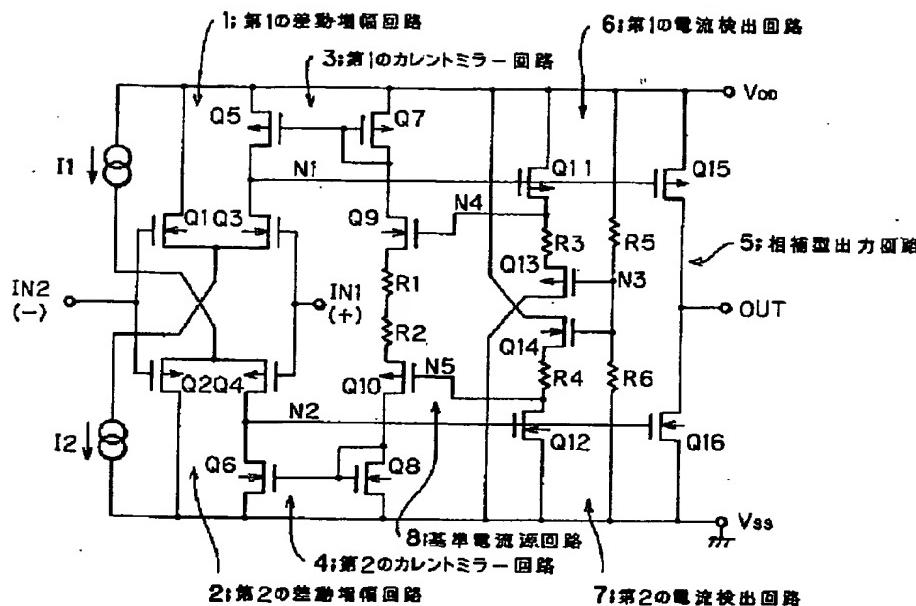
【符号の説明】

1 … 第 1 の入力段差動增幅回路、 2 … 第 1 の入力段差動增幅回路、 3 … 第 1 のカレントミラー回路、 4 … 第 2 のカレントミラー回路、 5 … 相補型出力回路、 6 … 第 1 の電流検出回路、 7 … 第 2 の電流検出回路、 8 … 基準電流源回路。

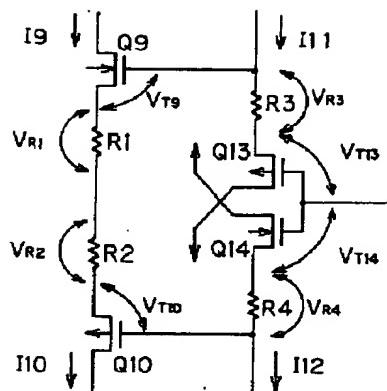
【図 3】



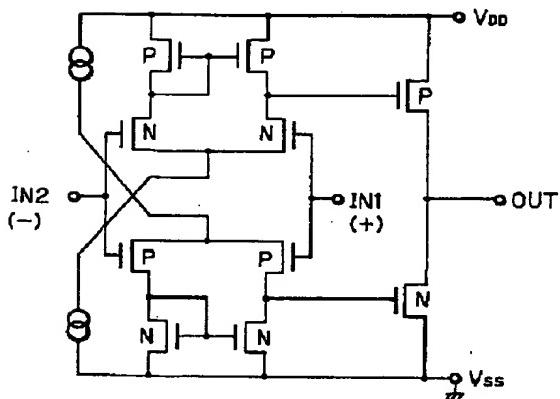
【図 1】



【図 2】



【図 4】



フロントページの続き

(51) Int.Cl. ⁶

H03K 17/687

19/0948

識別記号

府内整理番号

9184-5K

F I

H03K 17/687

19/094

技術表示箇所

F

B